

[19] THE KOREAN INTELLECTUAL PROPERTY OFFICE (KR)

[12] PATENT GAZETTE(B₁)

[11] Patent No.: 10-1648101

[24] Registration Date: August 8, 2016

[21] Application No.: (PCT) 10-2012-7034243

[73] Patentee(s): NCC NANO, LLC

[74] Attorney: NAM & NAM World Patent & Law Firm

[54] Title: METHOD FOR PROVIDING LATERAL THERMAL PROCESSING OF THIN FILMS ON LOW-TEMPERATURE SUBSTRATES



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년08월16일
 (11) 등록번호 10-1648101
 (24) 등록일자 2016년08월08일

- (51) 국제특허분류(Int. Cl.)
C23C 16/56 (2006.01) *H01L 21/20* (2006.01)
- (21) 출원번호 10-2012-7034243
- (22) 출원일자(국제) 2011년06월02일
 심사청구일자 2014년05월14일
- (85) 번역문제출일자 2012년12월28일
- (65) 공개번호 10-2013-0086547
- (43) 공개일자 2013년08월02일
- (86) 국제출원번호 PCT/US2011/038937
- (87) 국제공개번호 WO 2011/153357
 국제공개일자 2011년12월08일
- (30) 우선권주장
 61/350,765 2010년06월02일 미국(US)
- (56) 선행기술조사문헌
 JP02275641 A*
 JP09116158 A*
 JP2010087194 A
 JP7027198 B2
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엔씨씨 나노, 엘엘씨
 미국 텍사스 달라스 메리트 드라이브 12221 슈트
 930 쓰리 포레스트 플라자 (우: 75251)
- (72) 발명자
슈로더, 쿠르트, 에이.
 미국 78615 텍사스 커플랜드 플루거 베크만 레인
 13501
벤즈, 로버트, 피.
 미국 78732 텍사스 오스틴 메디나 리버 웨이
 12913
- (74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 13 항

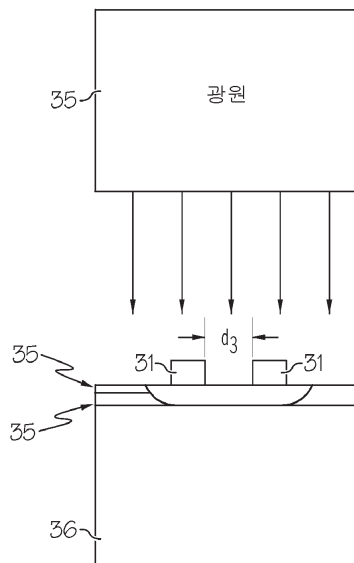
심사관 : 조상진

(54) 발명의 명칭 저온 기판들 상의 박막들의 측방향 열적 프로세싱을 제공하기 위한 방법

(57) 요약

선택적 방식으로 최소한으로 흡수하는 박막을 열적으로 프로세싱하기 위한 방법이 개시된다. 2개의 가깝게 이격된 흡수 트레이스들이 박막과 열적으로 접촉하여 패터닝된다. 펄스화된(pulsed) 라디언트 소스(radiant source)는 2개의 흡수 트레이스들을 가열하는데 사용되며, 박막은 2개의 흡수 트레이스들 사이에 전도를 통해 열적으로 프로세싱된다. 이 방법은 박막이 반도체인 박막 트랜지스터(TFT)를 제조하는데 이용될 수 있으며, 흡수체(absorber)들은 TFT의 소스 및 드레인이다.

대표도 - 도3b



명세서

청구범위

청구항 1

초박막(very thin film)을 열적으로 프로세싱하기 위한 방법으로서,

초박막의 상단 상에 2개의 흡수 트레이스들을 패터닝하는 단계 - 상기 2개의 흡수 트레이스들은 세라믹으로 이루어지고, 상기 초박막은 기판의 상단 상에 위치되며, 상기 2개의 흡수 트레이스들 사이의 거리는 100 마이크로(micron) 미만임 - ;

상기 2개의 흡수 트레이스들을 가열(heat up)하기 위하여 적어도 하나의 전자기 펄스로 상기 2개의 흡수 트레이스들을 조사하는(irradiate) 단계; 및

상기 2개의 흡수 트레이스들로부터의 열이 상기 초박막을 열적으로 프로세싱하도록 허용하는 단계를 포함하는, 초박막을 열적으로 프로세싱하기 위한 방법.

청구항 2

제1항에 있어서,

상기 기판은 450 °C 미만의 최대 작동 온도(maximum working temperature)를 갖는,

초박막을 열적으로 프로세싱하기 위한 방법.

청구항 3

제1항에 있어서,

상기 2개의 흡수 트레이스들은 상기 초박막보다 상기 전자기 펄스를 더 많이 흡수하는 재료들로 이루어지는,

초박막을 열적으로 프로세싱하기 위한 방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 초박막과 상기 기판 사이에 열 스프레딩 층(heat spreading layer)을 제공하는 단계를 더 포함하는,

초박막을 열적으로 프로세싱하기 위한 방법.

청구항 7

제1항에 있어서,

상기 전자기 펄스는 플래시램프로부터 제공되는,

초박막을 열적으로 프로세싱하기 위한 방법.

청구항 8

제1항에 있어서,

상기 전자기 펄스는 지향된 플라즈마 아크(directed plasma arc)로부터 제공되는, 초박막을 열적으로 프로세싱하기 위한 방법.

청구항 9

박막 트랜지스터를 제조하기 위한 방법으로서,

초박막에 인접하게 2개의 흡수 트레이스들을 패터닝하는 단계 - 상기 2개의 흡수 트레이스들은 세라믹으로 이루어지고, 상기 초박막은 기판의 상단 상에 위치되며, 상기 2개의 흡수 트레이스들 사이의 거리는 100 미크론 미만임 - ;

상기 2개의 흡수 트레이스들을 가열하기 위하여 적어도 하나의 전자기 펄스로 상기 2개의 흡수 트레이스들을 조사하는 단계, 및 상기 2개의 흡수 트레이스들로부터의 열이 상기 초박막을 열적으로 프로세싱하도록 허용하는 단계;

상기 초박막 및 상기 2개의 흡수 트레이스 상에 유전체 층을 증착하는 단계; 및

상기 유전체 층의 상단 상에 전도성 트레이스를 증착함으로써 게이트를 형성하는 단계를 포함하는,

박막 트랜지스터를 제조하기 위한 방법.

청구항 10

제9항에 있어서,

상기 기판은 450 °C 미만의 최대 작동 온도를 갖는,

박막 트랜지스터를 제조하기 위한 방법.

청구항 11

제9항에 있어서,

상기 2개의 흡수 트레이스들은 상기 초박막보다 상기 전자기 펄스를 더 많이 흡수하는 재료들로 이루어지는,

박막 트랜지스터를 제조하기 위한 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

제9항에 있어서,

상기 초박막과 상기 기판 사이에 열 스프레딩 층을 제공하는 단계를 더 포함하는,

박막 트랜지스터를 제조하기 위한 방법.

청구항 15

제14항에 있어서,

상기 열 스프레딩 층과 상기 기판 사이에 열 전도성 막을 제공하는 단계를 더 포함하고,

상기 열 전도성 막은 상기 기판보다 더 낮은 열 전도성을 갖는,

박막 트랜지스터를 제조하기 위한 방법.

청구항 16

제9항에 있어서,
 상기 전자기 필스는 플래시램프로부터 제공되는,
 박막 트랜지스터를 제조하기 위한 방법.

청구항 17

제9항에 있어서,
 상기 전자기 필스는 지향된 플라즈마 아크로부터 제공되는,
 박막 트랜지스터를 제조하기 위한 방법.

발명의 설명

기술 분야

본 출원은 35 U.S.C. § 119(e)(1) 하에서, 2010년 6월 2일자로 출원된 가출원 번호 61/350,765호에 대하여 우선권을 주장하며, 그 내용들은 참조에 의하여 본 명세서에 통합된다.

35 U.S.C. § 119(e)(1)은 일반적으로 기관들 상의 박막들을 경화시키기 위한 방법에 관한 것으로서, 특히, 저온 기관들 상의 박막들을 열적으로 프로세싱하기 위한 방법에 관한 것이다.

배경 기술

일반적으로, 열적 프로세싱은 소결, 어닐링, 경화, 건조, 결정화, 중합, 화학적 반응 개시 및 변조, 도펀트 드라이브-인(drive-in), 탈기 등을 포함한다. 반도체 박막들의 열적 프로세싱은 통상적으로 고온 환경들에서 수행된다. 예를 들어, 비정질 실리콘(a-Si)은 1,100 °C에서 어닐링되고, 실리콘 나노입자 막들은 900 °C에서 소결된다. 그러므로, 반도체 박막들을 프로세싱하기 위한 고온 요건은 종종 반도체 박막들을 운반하기 위한 선택 기관들에 따라 소성 세라믹(fired ceramic)들 또는 석영들과 같은 고온 기관들의 사용을 지시한다.

말할 필요도 없이, 가능하다면 그들의 상대적으로 낮은 비용 때문에, 반도체 박막들을 운반하기 위한 선택 기관들에 따라, 보로실리케이트 또는 소다 라임과 같은 저온 기관들을 사용하는 것이 더욱 바람직하다. 훨씬 더 바람직한 기관 재료들은 플라스틱(즉, 폴리카보네이트, 폴리이미드, PET, PEN 등) 또는 종이일 것인데, 이는 그들의 비용이 훨씬 더 낮기 때문이다.

그러나, 오븐과 같은 평형(equilibrium) 프로세스를 제공할 수 있는 장비의 사용은 저온 기관 상에서 반도체 박막을 열적으로 프로세싱하기 위한 실행가능한 옵션이 아니다. 이것은, 모두는 아니더라도, 반도체 박막들 대부분을 어닐링 및 소결하기 위해 요구되는 온도가, 각각 450 °C 및 150 °C 근처인, 폴리이미드 및 PET와 같은 저온 기관들의 최대 작동 온도보다 상당히 더 높기 때문이다.

본 개시물은 저온 기관들 상의 박막들을 열적으로 프로세싱하기 위한 방법을 제공한다.

발명의 내용

본 발명의 바람직한 실시예에 따라, 이격된 2개의 흡수 트레이스들은 기관의 상단 상에 위치한 박막과 열적으로 접촉한다. 펄스화된 라디에이션(radiation)은 2개의 흡수 트레이스들을 가열하는데 이용되며, 그 뒤에, 2개의 흡수 트레이스들로부터의 열은 2개의 흡수 트레이스들 사이의 박막 대 박막의 평면에서 전도되어, 박막을 열적으로 프로세싱한다.

상기 언급된 프로세스는 박막 트랜지스터(TFT)를 제조하는데 사용될 수 있다. 예를 들어, 금속 또는 세라믹으로 구성될 수 있는 2개의 흡수 트레이스들은 TFT의 소스 및 드레인을 형성하는데 사용될 수 있으며, 반도체 박막은 TFT의 활성 채널을 형성하는데 사용될 수 있다.

본 발명의 모든 피쳐들 및 장점들은 하기의 상세한 기록된 설명에서 명백해질 것이다.

바람직한 사용 모드, 추가적 목적들 및 발명의 장점들 뿐 아니라, 발명 자체는 첨부 도면들과 함께 관독될 때 예시적 실시예의 하기의 상세한 설명에 대한 참조에 의해 가장 잘 이해될 것이다.

도면의 간단한 설명

도 1a-1b는 본 발명의 일 실시예에 따른, 박막을 열적으로 프로세싱하기 위한 방법을 도시한다.
 도 2a-2b는 본 발명의 다른 실시예에 따른, 박막을 열적으로 프로세싱하기 위한 방법을 도시한다.
 도 3a-3b는 본 발명의 일 실시예에 따른, 저온 기판 상에 초박막을 열적으로 프로세싱하기 위한 방법을 도시한다.
 도 4는 본 발명의 방법들에 의하여 제조되는 박막 트랜지스터(TFT)를 도시한다.
 도 5는 펄스화된 라디에이션에 노출되기 이전에 그리고 이후에 보로실리케이트 유리 상에 e-빔 코팅된 비정질 실리콘의 라만 스펙트럼(Raman spectrum)을 도시한다.
 도 6은 본 발명의 펄스화된 라디에이션 측방향 열적 프로세싱 방법의 선택도(selectivity)를 보여주는 그래프이다.
 도 7은 도 4로부터 TFT에 대한 드레인 전류 대 드레인-소스 전압을 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

기판 상의 박막을 열적으로 프로세싱하기 위하여 펄스화된 라디에이션 열적 프로세싱 기법을 사용할 때, 플래시 램프들, 지향된 플라즈마 아크들(DPA들), 레이저들, 마이크로파들, 인덕션 히터들 또는 전자 빔들로부터 방출되는 펄스화된 라디에이션은 그것의 기판 위에 박막을 우선적으로 가열하는 능력을 갖는다. 또한, 기판의 열 용량은 박막의 열 용량보다 훨씬 더 크고, 가열 시간은 기판의 열적 평형 시간보다 훨씬 더 짧기 때문에, 기판은 열적 프로세싱 바로 이후에 박막을 신속하게 냉각시키기 위하여 히트 싱크의 역할을 할 수 있다.

펄스화된 라디에이션 열적 프로세싱이 박막으로 하여금 그것의 기판이 열적 평형에서 정상적으로 건딜 수 있는 것보다 훨씬 더 높은 온도로 가열되도록 허용하더라도, 그러한 열적 프로세싱 기법은 일반적으로 박막을 가열하는데 사용되는 라디에이션을 흡수하는 박막의 능력에 좌우된다. 그러므로, 박막이 매우 얇고 및/또는 다소 투명한 경우, 펄스화된 라디에이션 열적 프로세싱 기법으로 직접 초박막을 열적으로 프로세싱하는 것은 꽤 어려운데, 이는 초박막이 통상적으로 최소 라디에이션을 흡수하기 때문이다. 그 결과, 초박막을 열적으로 프로세싱하기 위하여 향상된 방법이 요구된다.

이제 도면들을, 그리고 특히 도 1a-1b를 참고하여, 본 발명의 일 실시예에 따른 초박막 상의 펄스화된 라디에이션 열적 프로세싱을 제공하기 위한 방법이 도시된다. 최초에, 초박막(12)은 잘 알려진 진공 기법들을 통해 기판(14) 상에 증착된다. 초박막(12)은 또한 기판(14) 상에 코팅되거나 프린팅될 수 있다. 초박막(12)은 충분히 치밀한(fully dense) 막 또는 미립자 막일 수 있다. 초박막(12)의 두께는 바람직하게 10 마이크로 미만이다. 다음으로, 흡수 트레이스(11)는 도 1a에 도시된 바와 같이, 박막 적층물(10)을 형성하기 위하여 초박막(12)의 상단 상에 증착된다. 흡수 트레이스(11)는 바람직하게 초박막(12)보다 펄스화된 라디에이션을 더 많이 흡수하는 재료로 만들어진다. 흡수 트레이스(11)의 예들은 금속들 또는 세라믹들을 포함한다.

박막 적층물(10)이 광원(15)에 의하여 일시적으로 조사되는 (즉, 펄스화된 라디에이션을 통해) 경우, 흡수 트레이스(11)는 초박막(12) 이전에 우선적으로 가열된다. 광원(15)은 플래시 램프, 지향된 플라즈마 아크(DPA), 레이저, 마이크로파 발생기, 인덕션 히터 또는 전자 빔일 수 있다. 그 결과, 흡수 트레이스(11) 근처에 그리고 아래에 위치되는 기판(14) 및 초박막(12) 내의 영역(그늘진 영역)은 도 1b에 도시된 바와 같이, 가열된 흡수 트레이스(11)에 의하여 열적으로 프로세싱된다. 열적으로 프로세싱되는 초박막(12) 내의 거리(d)는 수십 마이크로 미일 수 있다.

이제 도 2a-2b를 참고하여, 본 발명의 다른 실시예에 따라, 초박막 상의 펄스화된 라디에이션 열적 프로세싱을 제공하기 위한 방법이 예시된다. 처음에, 초박막(23)이 잘 알려진 진공 기법들을 통해 기판(24) 상에 증착된다. 초박막(23)은 또한 기판(24) 상에 코팅되거나 프린팅될 수 있다. 초박막(23)은 충분히 치밀한 막 또는 미립자 막일 수 있다. 초박막(23)의 두께는 바람직하게 10 마이크로 미만이다. 다음으로, 흡수 트레이스들(21, 22)은 도 2a에 도시된 바와 같이, 박막 적층물(20)을 형성하기 위하여 초박막(23) 상에 증착된다. 도 1a의 흡수 트레이스(11)와 유사하게, 흡수 트레이스들(21, 22)은 바람직하게 초박막(23)보다 펄스화된 라디에이션을 더 많이 흡수하는 재료로 만들어진다. 흡수 트레이스들(21, 22)의 예들은 금속들 또는 세라믹들을 포함한다. 흡수 트레이스들(21, 22)이 초박막(23)의 상단 상에 형성되는 것으로 도시되나, 흡수 트레이스들

(21, 22)은 대신에 초박막(23) 아래에 형성될 수 있다.

광원(25)으로부터의 펄스화된 라디에이션에 노출 시, 우선적으로 초박막(23) 위에 흡수 트레이스들(21, 22)이 가열된다. 흡수 트레이스들(21, 22)로부터의 열은 그 후 도 2b에 도시된 바와 같이, 흡수 트레이스들(21, 22) 근처에 및/또는 아래에 초박막(23)의 영역으로 전도된다. 도 2b에서, 흡수 트레이스들(21, 22) 사이에 위치되는 초박막(23) 내의 영역(d_2)은 열적으로 프로세싱되게 된다. 흡수 트레이스들(21 및 22) 사이에서 열적으로 프로세싱될 수 있는 갭 거리(즉, 영역(d_2))는 일반적으로 도 1b로부터의 d_1 보다 큰데, 이는 이것이 2개의 흡수 트레이스들(21, 22)에 의하여 전도되는 열의 중첩부이고, 바람직하게는 100 마이크로 미만이기 때문이다. 더욱이, 흡수 트레이스들(21 및 22) 사이에 위치되는 초박막(23) 내의 영역이 2개의 흡수 트레이스들(21, 22)로부터 전도되는 열의 중첩에 의하여 열적으로 프로세싱되기 때문에, 초박막(23)은 (도 1b에서와 같이) 단 하나의 흡수 트레이스 근처의 박막의 영역보다 더욱 균일하게 프로세싱되는 경향이 있다.

도 1a-1b의 기관(14) 및 도 2a-2b의 기관(24)은 바람직하게는 고온 기관들이다. 그러나, 초박막들의 열적 프로세싱은 흡수 트레이스들의 적용 이전에 또는 이후에 열 스프레딩 막들을 적용함으로써 저온 기관들 상에서 또한 수행될 수 있다(즉, 150 °C 또는 그 미만의 최대 작동 온도들). 열 스프레딩 막의 열 전도성이 저온 기관의 열 전도성보다 더 높기 때문에, 열은 흡수 트레이스들이 가열된 이후에 저온 기관 대신 열 스프레딩 막 및 초박막의 평면에서 우선적으로 전도된다. 열 스프레딩 막은 또한 저온 기관을 보호하기 위하여 열적 배리어 층으로서의 역할을 한다. 게다가, 초박막의 평면에서의 열의 우선적 전도는 흡수 트레이스들이 서로로부터 배치될 수 있는 거리를 증가시킨다. 결과적으로, 더 낮은 에너지 광 펄스는 초박막을 프로세싱하는데 사용될 수 있으며, 그러므로 저온 기관 상에서 프로세스를 더욱 젠틀하게(gentle) 만든다. 열 스프레딩 막은 일반적으로 초박막보다 더 두꺼우며, 일반적으로 흡수 트레이스들을 가열하는데 사용되는 광에 대해 투과성(transparent)이다.

이제 도 3a-3b를 참고하여, 본 발명의 일 실시예에 따른, 저온 기관 상에 초박막을 열적으로 프로세싱하기 위한 방법이 예시된다. 최초로, 열 스프레딩 막(35)이 잘 알려진 진공 기법들을 통해 기관(34) 상에 증착된다. 열 스프레딩 막(35)은 기관(34) 상에서 코팅되거나 프린팅될 수 있다. 초박막(33)은 그 후 잘 알려진 진공 기법들을 통해 열 스프레딩 막(35)의 상단 상에 증착된다. 초박막(33)은 열 스프레딩 막(35) 상에 코팅되거나 프린팅될 수 있다. 초박막(33)은 충분히 치밀한 막 또는 미립자 막일 수 있다. 초박막(33)의 두께는 바람직하게 10 마이크로 미만이다. 다음으로, 흡수 트레이스들(31, 32)은 도 3a에 도시된 바와 같이, 박막 적층물(30)을 형성하기 위하여 초박막(33) 상에 증착된다. 도 2a의 흡수 트레이스들(21, 22)과 유사하게, 흡수 트레이스들(31, 32)은 바람직하게 초박막(33)보다 펄스화된 라디에이션을 더 많이 흡수하는 재료로 만들어진다. 흡수 트레이스들(31, 32)의 예들은 금속들 또는 세라믹들을 포함한다.

흡수 트레이스들(31, 32)이 초박막(33)의 상단 상이 형성되는 것으로 도시되나, 흡수 트레이스들(31, 32)은 초박막(33) 아래에 형성될 수 있다. 열 스프레딩 막(35)은 초박막(33) 아래에 형성되는 것으로 도시되나, 열 스프레딩 막(35)은 흡수 트레이스들(31, 32) 또는 초박막(33)의 상단 상에 형성될 수 있다.

광원(35)으로부터의 펄스화된 라디에이션에 노출 시, 우선적으로 열 스프레딩 막(35) 및 초박막(33) 위에서 흡수 트레이스들(31, 32)이 가열된다. 흡수 트레이스들(31, 32)로부터의 열은 그 후 도 3b에 도시된 바와 같이, 흡수 트레이스들(31, 32) 근처에 및/또는 아래에 열 스프레딩 막(35) 및 초박막(33)의 영역에 전도된다. 도 3b에서, 흡수 트레이스들(31, 32) 사이에 위치되는 열 스프레딩 막(35) 및 초박막(33) 내의 영역(d_3)은 열적으로 프로세싱되게 된다. 흡수 트레이스들(31 및 32) 사이에서 열적으로 프로세싱될 수 있는 갭 거리는 바람직하게 100 마이크로 미만이다.

열 스프레딩 막(35)인 것이 적절한 재료들의 호스트(host)가 존재한다. PET와 같은 저온 기관에 대해, 이들 재료들은 스퍼터링된 금속 산화물들 또는 스핀 온 글라스(SOG)와 같은 무기 코팅들 또는 고온 폴리머들(폴리이미드와 같은)을 포함할 수 있다. 폴리이미드와 같은 더 고온의 기관들에 대해, 열 스프레딩 막(35)에 대하여 더욱 적절한 재료들은 스퍼터링된 금속 산화물들 또는 SOG와 같은 무기 코팅들을 포함한다. 초박막의 투명성(transparency)을 유지하고 여전히 선택적 가열이 발생하는 것을 허용하기 위하여, 열 스프레딩 막(35)은 다소 투명한 것이 바람직하다. 열 스프레딩 막(35)의 요구되는 두께는 그것의 열적 특성들, 하부의 저온 기관의 두께 및 열적 특성들, 초박막(33)의 원하는 프로세싱 온도, 흡수 트레이스들(31, 32)의 치수들 및 간격(spacing), 및 입력 라디언트 가열 프로파일의 함수이다.

고온 기관에 열 스프레딩 막을 인가하는 한 접근법은 먼저 고온 기관보다 더 낮은 열 전도성을 갖는 중합체 코팅을 고온 기관에 인가하는 것이며, 이에 후속하여 열 스프레딩 막이 적용된다. 이 실행은 열 전도성 기관으

로의 열의 확산을 지체시키고, 초박막이 프로세싱되게 허용한다. 중합체 코팅에 대한 대안은 이것이 열적 프로세싱 동안에 더 높은 온도를 견딜 수 있도록, 고온의, 낮은 열 전도성 무기 막을 사용하는 것이다.

고온의, 낮은 열 전도성 무기 막을 달성하기 위한 하나의 방법은 SOG를 사용함으로써 무기 막을 다공성으로 만들고, 그것에 다공성 입자들을 채우는(load with) 것이다. 예를 들어, 그러한 무기 막은 SOG에서 로딩된 실리카 에어로겔 나노입자들을 사용함으로써 만들어질 수 있다. 결과적인 무기 막은 대략 PET(즉, 0.24 W/m² K)의 (또는 심지어 그것보다 낮은) 열 전도성을 갖는 것으로 나타난다. 에어로겔 입자들은 SOG 매트릭스를 갖기 때문에, 무기 막은 통상적 에어로겔 막보다 훨씬 더 내구성이 있다.

초박막의 열적 프로세싱은 펄스화된 라디에이션의 길이 및 전력을 변경함으로써 튜닝될 수 있다. 펄스 반복 주파수를 조정하는 것 뿐 아니라 다수의 펄스들이 사용될 수 있다. 펄스의 형태는 가열 프로파일을 추가로 조정하기 위하여 펄스 폭 변조를 사용하여 변화될 수 있다. 펄스 길이가 저온 기판의 열적 평형 시간보다 짧은 경우, 즉, 저온 기판의 평면에 수직인 경우, 더 강한 열적 그라디언트(gradient) 및 더 높은 피크 온도가 그것에서 생성될 수 있고, 그에 의하여 우선적으로 흡수 트레이스들 근처에 초박막을 가열한다. 초박막의 온도는 흡수 트레이스들로부터 더 먼 영역들에 대하여 흡수 트레이스들 가까이에서 더욱 강렬하게 프로세싱된다. 더욱이, 펄스화된 라디에이션은 피크 프로세싱 온도가 기판의 최대 평형 작동 온도보다 더 크도록 허용한다. 예를 들어, 150 마이크로 두께 PET는 약 35 ms에서 그것의 두께에 걸쳐 열적으로 평형된다. 그러므로, 10 ms 펄스를 이용하는 것보다 300 μs 펄스를 이용하여 저온 기판을 손상시키지 않고 더 높은 피크 온도 뿐 아니라 더 강한 열적 프로세싱 그라디언트가 생성될 수 있다. 100 ms 펄스는 흡수 트레이스들 사이에 위치되는 초박막을 여전히 가열할 수 있으나, 유지될 수 있는 피크 온도는 150 °C의 그것의 최대 평형 작동 온도에 매우 가깝다. 요컨대, 더 긴 펄스의 저온 기판을 손상시키지 않고 초박막에서 달성될 수 있는 최대 피크 온도는 짧은 펄스의 최대 피크 온도 미만이지만, 따라서 측방향 프로세싱 길이는 또한 더 길다. 초박막의 열적 프로세싱이 대개 사실상 아레니우스(Arrhenius)이기 때문에, 즉, 열적 프로세싱이 일반적으로 프로세싱 온도 곱하기(times) 시간의 지수와 관련되기 때문에, 더 짧은 펄스는 저온 기판을 손상시키지 않고 더 긴 펄스보다 더욱 효율적으로 초박막을 프로세싱할 수 있다.

하부 층들 및 초박막의 두께 및 열적 특성들 뿐 아니라, 흡수 트레이스들의 두께, 폭 및 간격은 또한 펄스화된 라디에이션에 의하여 노출 시, 초박막에 의하여 보여지는 가열 프로파일에 기여한다.

본 발명의 방법은 특히 라디에이션 흡수하지 않는 초박막들을 프로세싱할 수 있다. 이것은 특히 그들의 낮은 비용 및 높은 성능으로 인하여 매우 바람직한 박막 트랜지스터들의 제조에 관련된다.

이제 도 4를 참고하여, 상기 언급된 펄스화된 라디에이션 열적 프로세싱 기법에 의하여 제조되는 TFT(40)가 도시된다. 도시된 바와 같이, 얇은 유전체 층(44)은 초박막(43) 근처에 위치되는 2개의 흡수 트레이스들(41 및 42)의 상단 상에 배치된다. 전도성 트레이스(45)는 흡수 트레이스들(41 및 42) 및 유전체 층(44)의 상단 상에 위치된다. 흡수 트레이스들(41, 42)은 전기적으로 도전성이며, 각각 TFT의 소스 및 드레인을 형성한다. 전도성 트레이스(45)는 TFT의 게이트를 형성한다. 열적으로 프로세싱된 초박막(43) 내에 흡수 트레이스들(41 및 42) 사이에 위치되는 영역은 TFT의 활성 채널을 형성하는 반도체이다. 도 4에 도시된 바와 같이, 경화된 영역(그늘진 영역)은 게이트 산화물 및 게이트를 포함한다. 그러나, 게이트 산화물 및 게이트 양자 모두는 초박막(43)의 경화 이후에 적용된다.

초박막(43)은 주로 흡수 트레이스들(41 및 42) 사이에서 경화된다. 그러므로, 소스들 및 드레인들은 매우 넓은 영역 상에 패터닝(또는 프린팅)될 수 있으며, 초박막(43)은 심지어 전체 기판(46) 위에 코팅될 수 있다. 반도체가 주로 TFT의 채널에서 경화된다는 사실로 인해, 경화된 반도체는 일반적으로 경화되지 않은 것보다 더 높은 전도성을 갖기 때문에, 반도체의 기생 캐패시턴스는 감소된다. 등록 및 임계 치수들에 대한 감소된 필요성은 상기 언급된 TFT가 일체로 완전히 프린팅될 수 있음을 의미한다.

TFT(40)와 같은 TFT를 만들기 위한 방법의 일 예가 하기와 같이 설명된다. TFT를 만들 때, 비정질 실리콘(a-Si)보다 반도체로서 미정질 실리콘(μx-Si)이 더 바람직한데, 이는 μx-Si가 더 높은 이동성을 갖고, 그러므로 더 빠른 TFT 스위칭을 가능하게 하기 때문이다. μx-Si를 직접 증착하는 것보다는, a-Si를 μx-Si로 변환하기 위하여 a-Si를 증착하고 열적 어닐링이 후속되는 것이 대개 더 용이하다. 예를 들어, 500 μm 보로실리케이트 웨이퍼 상의 a-Si의 200 nm 막은 100 μm의 펄스 길이 및 650 V의 스레숄드 전압에서 PulseForge® 3300 시스템(텍사스 오스틴 주의 NovaCentrix에 의하여 제조됨)으로부터의 광 펄스를 사용함으로써 (N2 정화를 이용하여) μx-Si로 변환될 수 있다. 광 펄스는 약 35 kW/cm²의 강도를 가지며, 이는 약 3.5 J/cm²의 래디언트 노출에 대

응한다.

이제 도 5를 참고하여, 상기 언급된 광 펄스로의 노출 이전 및 이후에, 보로실리케이트 유리 상에 e-빔 스퍼터링 코팅된 200 nm a-Si 막의 라만 스펙트럼이 예시된다. a-Si 막은 광 펄스에 의하여 어닐링되며, $\mu\text{x-Si}$ 로 변환된다. 200 nm a-Si 코팅이 단지 방출된 광의 일부만을 흡수한다는 사실을 극복하기 위해 광 펄스가 필요하다.

동일한 보로실리케이트 웨이퍼는 다양한 폭들(5-50 μm) 및 간극(separation)들(5-50 μm)의 최종적 TFT를 형성하기 위하여 금 콘택 소스/드레인 라인들과 함께 패터닝된다. 모든 트레이스들은 5 mm 길이이다. 금 패터닝에는 보로실리케이트 웨이퍼 위에 상기 언급된 a-Si의 200 nm의 동일한 브로드캐스트 전자 빔 스퍼터링된 증착이 후속된다. 보로실리케이트 웨이퍼는 그 후 훨씬 더 낮은 전압(즉, 250 μs 에 대해 550 V)에서 상기 언급된 PulseForge® 3300 시스템을 통해 프로세싱된다. 래디언트 전력은 24 kW/cm^2 였고, 래디언트 노출은 5.9 J/cm^2 였다. 이 레벨의 전력은 a-Si를 $\mu\text{x-Si}$ 로 변환하기 위하여 상기 설명된 쓰레숄드 강도 미만이다. 금이 광 펄스를 매우 잘 흡수하기 때문에, 더 많은 에너지가 그들 위치들에서 흡수된다.

이제 도 6을 참고하여, 본 발명의 펄스화된 라디에이션 열적 프로세싱 방법의 선택도가 예시된다. 그래프는 금 트레이스들 사이의 동일한 간격(50 μm) 및 2개의 상이한 금 라인 쌍 폭들(50 μm and 20 μm) 사이의 얇은 실리콘 막의 라만(Raman) 스펙트럼의 비교를 도시한다. 그래프는, 50 μm 트레이스들 사이의 공간은 $\mu\text{x-Si}$ 로 변환된 반면, 20 μm 폭 트레이스들 사이의 공간은 변환되지 않았음을 보여준다. 유사하게, 웨이퍼의 나머지 부분 상의 실리콘 막은 변환되지 않는다. 이 기법은 금 패터닝된 트레이스들 사이에서만 a-Si를 $\mu\text{x-Si}$ 로 변환하였으며, 다른 어디에서도 자동적 등록을 달성하지 않는다.

흡수 트레이스들 사이에서의 a-Si의 $\mu\text{x-Si}$ 로의 선택적 변환이 달성된 이후에, TFT 소자는 유전체 층으로서 스핀-온 바륨-스트론튬-티타네이트(BST) 세라믹을 사용하여 제조될 수 있다. 이 유전체 재료는 상대적으로 높은 유전 상수 k (~300)를 가지고, 이는 높은 전계가 낮은 게이트 전압에서 TFT의 전계-효과 채널에 전달되도록 허용한다. 은 게이트 금속은 TFT를 완성하기 위하여 BST 게이트 유전체 층 위에 진공 증착된다.

양의 게이트 전압들을 인가함으로써 드레인 전류가 향상될 수 있는지 결정하기 위해 TFT 상에서 전기적 테스트들이 수행될 수 있다. $\mu\text{x-Si}$ 가 살짝 n-타입이기 때문에, 양의 게이트 전압은 채널의 전자 농도를 향상시켜야 하며, 증가된 드레인 전류(I_d)를 초래해야 한다.

이제 도 7을 참고하여, 도 4로부터 TFT(40)에 대한 드레인 전류(I_d) 대 드레인-소스 전압(V_{ds})을 보여주는 그래프가 예시된다. 양의 게이트 전압(V_g)에서, 드레인 전류는 전계-효과 TFT에 대하여 기대하는 포화 형태를 갖는다는 것을 유념한다. 음의 게이트 전압에서 관찰된 선형적 I-V 특징은 음의 게이트 전압이 인가되는 경우 TFT(40)가 정규 레지스터(regular resistor)로서 동작함을 표시한다. 이것의 이유는 이때에 알려지지 않지만, 소스 및 드레인 콘택들로부터 정공 주입으로 인한 것일 수 있다. 존재한다면, 이 효과는 정공 주입을 "차단"하기 위하여 콘택 영역들을 적절히 도핑함으로써 정상적으로 감소/제거된다.

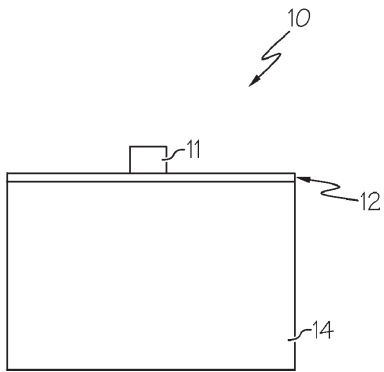
요약하면, 측방향으로 위치된 금속 소스-드레인 콘택들을 갖는 a-Si 박막의 펄스화된 광 어닐링을 사용하는 것은, 소스-드레인 콘택들 사이의 영역 내에 미정질 상태로 "서브-쓰레숄드" 어닐링될 수 있다. 이것은 초소형 전자 공학 산업에 대해 큰 이익을 가져오는데, 이는 마이크로(및 나노)-결정 실리콘 막들이 높은 캐리어 이동성 및 박막 소자들의 성능을 향상시키는 다른 바람직한 피쳐들을 갖기 때문이다. 더욱이, 소스/드레인 콘택들 사이의 영역에 a-Si만을 변환할 수 있기 때문에, a-Si의 주변 영역들이 고-저항 비정질 상태에 남아있게 남겨지고, 그러므로 소자 속도를 제한하고 전력 손실을 증가시키는 기생 캐패시턴스들로서 그러한 해로운 효과들을 제한하기 위하여 패터닝 또는 다른 절연을 요구하지 않는다.

설명된 바와 같이, 본 발명은 저온 기판들 상에 박막들을 열적으로 프로세싱하기 위한 방법을 제공한다. 본 발명의 방법은 또한 TFT가 최소 등록으로 상단 게이트 구성(즉, 상단 상의 게이트)으로 제조되도록 허용한다. 2개의 흡수 트레이스들은 TFT의 소스 및 드레인을 형성한다. 게이트 산화물 및 게이트의 적용 이전에, 우선적으로 2개의 흡수 트레이스들 사이에서 박막 재료가 열적으로 프로세싱된다. 본 발명의 방법은 TFT의 채널에서 재료를 정확하게 증착할 필요 없이, 박막 재료를 선택적으로 경화시키는 효과를 갖는다.

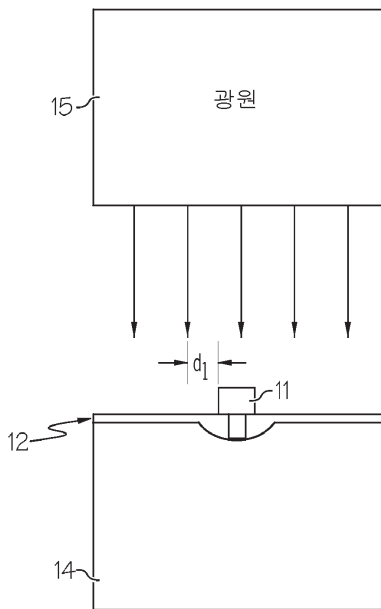
본 발명이 바람직한 실시예들을 참고로 하여 특별히 도시되고 설명되었으나, 발명의 정신 및 범위를 벗어나지 않고 발명에 있어 형태 및 세부사항에 대한 다양한 변화들이 이루어질 수 있다는 것이 본 기술분야의 당업자들에 의해 이해될 것이다.

도면

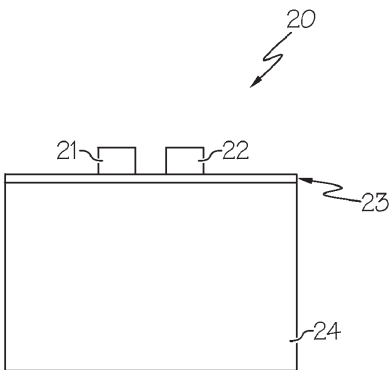
도면1a



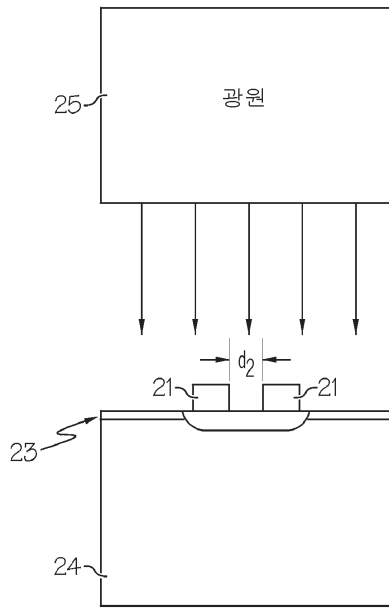
도면1b



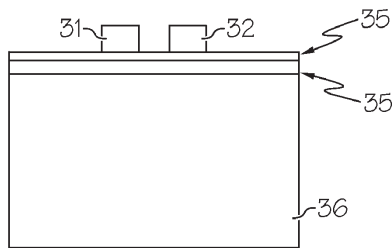
도면2a



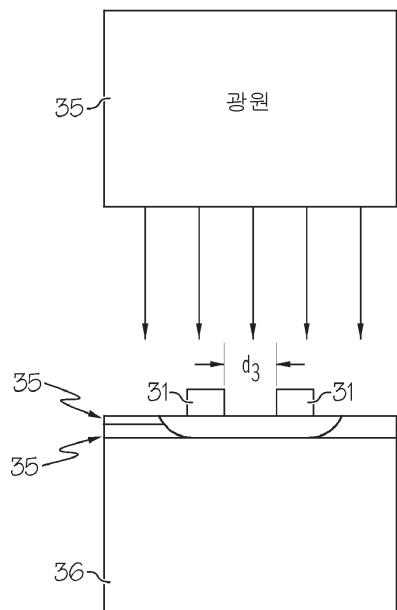
도면2b



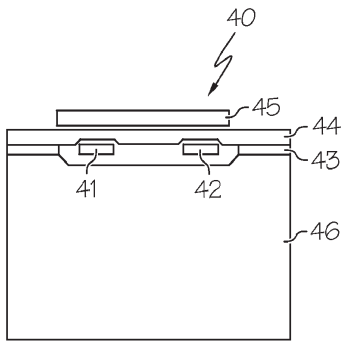
도면3a



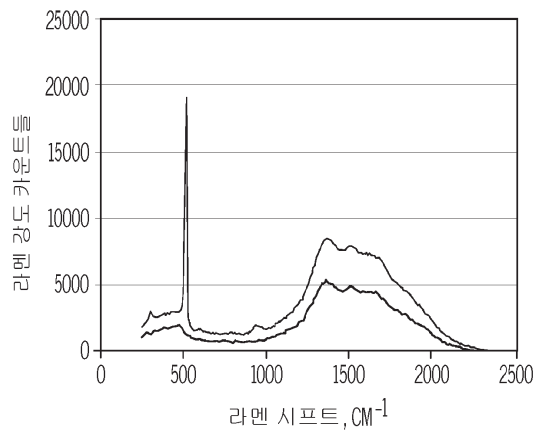
도면3b



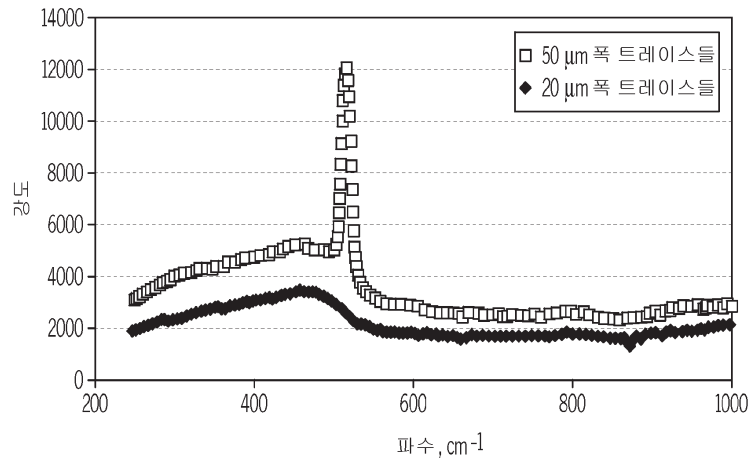
도면4



도면5



도면6



도면7

